

PATENT
2557-000192/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: YUN-CHEOL HAN

Application No.: NEW

Filed: January 23, 2004

For: FREQUENCY SYNTHESIZER AND FREQUENCY SYNTHESIZING METHOD

PRIORITY LETTER

January 23, 2004

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

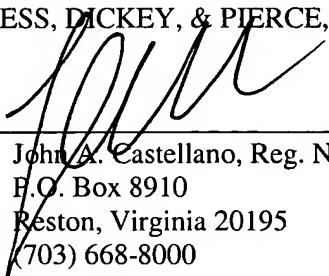
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0025534	April 22, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC: jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0025534
Application Number

출원 년 월 일 : 2003년 04월 22일
Date of Application APR 22, 2003

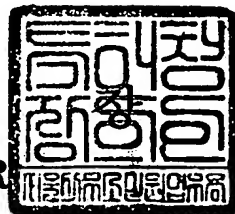
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 03 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.04.22
【국제특허분류】	G06F
【발명의 명칭】	주파수 합성 회로 및 주파수 합성 방법
【발명의 영문명칭】	Frequency synthesizer and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	한윤철
【성명의 영문표기】	HAN, Yun Cheol
【주민등록번호】	730217-1042711
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 동아솔레시티 아파트 118동 602호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	10	면	10,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	14	항	557,000	원
---------	----	---	---------	---

【합계】	596,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

주파수 합성 회로 및 주파수 합성 방법이 개시된다. 본 발명의 주파수 합성 회로는 입력 신호쌍을 수신하여 발진 신호쌍들을 발생시키는 링 오실레이터 블록과, 링 오실레이터 블록의 발진 신호쌍들을 입력하여 일정 듀티 사이클을 만족하는 출력 신호들을 발생하는 듀티 버퍼들과, 듀티 버퍼들의 출력 신호들을 입력하고 듀티 버퍼들의 출력 신호들을 배타적 논리합한 출력 신호와 논리곱한 출력 신호들을 발생하는 반가산기들과, 그리고 링 오실레이터 블록의 발진 신호, 반가산기의 배타적 논리합한 출력 신호, 그리고 논리곱한 출력 신호 중에서 어느 하나를 선택하는 스위치를 포함한다. 따라서, 고주파의 링 오실레이터 블록의 발진 주파수 출력 신호와 링 오실레이터 블록의 발진 주파수 보다 2배 높은 주파수의 출력 신호와 입력 신호와 동일한 주파수의 출력 신호를 얻어 이를 선택적으로 선택할 수 있다.

【대표도】

도 2

【색인어】

주파수 합성 회로, VCO, 링 오실레이터, 듀티 버퍼, 반가산기

【명세서】

【발명의 명칭】

주파수 합성 회로 및 주파수 합성 방법{Frequency synthesizer and method thereof}

【도면의 간단한 설명】

도 1은 종래의 L-C 탱크 회로를 설명하는 도면이다.

도 2는 본 발명의 일실시예에 따른 주파수 합성 회로를 설명하는 도면이다.

도 3은 도 2의 링 오실레이터를 설명하는 도면이다.

도 4는 도 3의 링 오실레이터의 동작을 설명하는 도면이다.

도 5는 제어 신호의 전압 레벨에 따른 링 오실레이터 출력 파형을 설명하는 도면이다.

도 6은 도 2의 듀티 버퍼를 설명하는 도면이다.

도 7은 도 2의 반가산기를 설명하는 도면이다.

도 8은 도 7의 반가산기의 동작을 설명하는 도면이다.

도 9 및 도 10은 본 발명의 주파수 합성 회로를 시뮬레이션한 결과를 보여주는 도면이다.

도 11은 본 발명의 주파수 합성 회로를 집적화한 반도체 칩을 측정한 결과를 보여주는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 집적 회로에 관한 것으로, 특히 주파수 합성 회로 및 주파수 합성 방법에 관한 것이다.
- <12> 정보 통신 분야의 기술적인 발달과 수요가 증가함에 따라, 무선 통신 시스템 시장이 매우 빠른 속도로 확대되고 있다. 낮은 가격과 저 전력 소모, 그리고 부피가 작은 시스템에 대한 연구도 활발히 진행되고 있다. 반도체 CMOS 공정 기술의 발달로 인해, 칩 크기가 작고 고주파 동작을 만족하는 반도체 소자들이 개발되고 있다.
- <13> 고주파수, 저잡음, 저전력의 위상 동기 회로(Phase Locked Loop: PLL)는 광 데이터 망(optical data link), 비동기 전송 모드(Asynchronous Transfer Mode: ATM) 시스템 등 여러 분야에 이용되고 있다. PLL 회로는 높은 동작 주파수, 빠른 획득 시간, 적은 클럭 지터(jitter), 넓은 입력 락킹 범위, 그리고 전압 대 주파수의 선형성 특성을 갖는다. PLL 회로의 이러한 특성은 전압 제어 발진기(Voltage Controlled Oscillator: VCO)의 성능을 결정짓는 하나의 요소가 된다. VCO 회로 설계에서 일반적으로 사용되는 방법은 L-C 탱크(tank) 회로와 링-오실레이터(ring-oscillator)를 이용한 방법이 있다.
- <14> 도 1은 종래의 L-C 탱크 회로를 설명하는 도면이다. 이를 참조하면, LC 탱크 회로(100)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 인덕터(L)와 커패시터(C)가 연결되고, 인덕터(L)와 커패시터(C) 사이의 연결점과 접지 전압(VSS) 사이에 엔모스 트랜지스터들

(MT1, MT2)이 교차 연결되어 있다. LC 탱크 회로(100)는 커패시터(C)의 충전 동작과 방전 동작에 의하여 출력 전압(V_{out})이 발진된다.

<15> LC 탱크 회로(100)는 높은 Q 값을 갖고 위상 잡음이나 지터가 작은 특성으로 인하여 깨끗한 신호를 얻을 수 있다는 장점이 있다. 반면에, 튜닝 면적이 좁고 인덕터를 형성하기 위하여 넓은 레이아웃 면적을 차지한다는 단점을 지닌다.

<16> 한편, 링 오실레이터로 구현되는 VCO 회로는 작은 칩 면적으로 집적화가 용이하고 넓은 동작 영역을 가지는 장점이 있는 대신에, 높은 동작 주파수의 구현이 어렵고 위상 잡음 특성이 나쁜 단점이 있다.

<17> 이러한 문제점들을 해결하기 위하여, 넓은 동작 주파수와 고집적화, 그리고 높은 동작 주파수를 구현할 수 있는 새로운 구조의 VCO 회로가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 고집적화가 가능하며 넓은 동작 주파수와 높은 동작 주파수를 갖고 선택적으로 동작 주파수를 선택할 수 있는 주파수 합성 회로를 제공하는 데 있다.

<19> 본 발명의 다른 목적은 높은 동작 주파수를 발생하고 선택할 수 있는 주파수 합성 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위하여, 본 발명의 주파수 합성 회로 일예는 입력 신호쌍을 수신하여 발진 신호쌍들을 발생시키는 링 오실레이터 블록; 링 오실레이터 블록의 발진 신호쌍들을 입력하여 일정 듀티 사이클을 만족하는 출력 신호들을 발생하는 듀티 버퍼들; 듀티 버퍼들의 출력 신호들을 입력하고, 듀티 버퍼들의 출력

신호들을 배타적 논리합한 출력 신호와 논리곱한 출력 신호들을 발생하는 반가산기들;
 및 링 오실레이터 블록의 발진 신호, 반가산기의 배타적 논리합한 출력 신호, 그리고 논
 리곱한 출력 신호 중에서 어느 하나를 선택하는 스위치를 포함한다.

<21> 바람직하기로, 링 오실레이터 블록은 짝수개의 링 오실레이터들로 구성되고, 입력
 신호쌍을 수신하여 발진 신호쌍을 출력하고, 발진 신호가 입력 신호로 피이드백되고 상
 보된 발진 신호가 상보된 입력 신호로 피이드백된다.

<22> 링 오실레이터는 전원 전압에 연결되고 제1 바이어스 신호에 게이팅되는 제1 및
 제2 피모스 트랜지스터들; 제1 피모스 트랜지스터와 연결되고 입력 신호에 게이팅되는
 제3 피모스 트랜지스터; 제3 피모스 트랜지스터와 연결되고 입력 신호에 게이팅되는 제1
 엔모스 트랜지스터; 제2 피모스 트랜지스터와 연결되고 상보된 입력 신호에 게이팅되는
 제4 피모스 트랜지스터; 제4 피모스 트랜지스터와 연결되고 상보된 입력 신호에 게이팅
 되는 제2 엔모스 트랜지스터; 제1 및 제2 엔모스 트랜지스터들과 접지 전압 사이에 제어
 신호에 게이팅되는 제3 엔모스 트랜지스터; 제3 피모스 트랜지스터 양단에 그 게이트와
 그 드레인이 연결된 다이오드형으로 연결되는 제5 피모스 트랜지스터; 제4 피모스 트랜
 지스터 양단에 그 게이트와 그 드레인이 연결된 다이오드형으로 연결되는 제6 피모스 트
 랜지스터; 제5 피모스 트랜지스터들과 연결되고 제6 피모스 트랜지스터의 드레인에 게이
 팅되는 제4 엔모스 트랜지스터들; 제6 피모스 트랜지스터와 연결되고 제5 피모스 트랜지
 스텐의 드레인에 게이팅되는 제5 엔모스 트랜지스터; 및 제4 및 제5 엔모스 트랜지스터
 들과 접지 전압사이에 제2 바이어스 신호에 게이팅되는 제6 엔모스 트랜지스터를 구비하
 고, 제4 및

제6 피모스 트랜지스터들과 제2 및 제5 엔모스 트랜지스터들의 연결점이 발진 신호 출력이 되고, 제3 및 제5 피모스 트랜지스터들과 상기 제1 및 제4 엔모스 트랜지스터들의 연결점은 상보된 발진 신호 출력이 된다.

<23> 듀티 버퍼는 출력 신호들이 듀티 사이클 50%를 만족하고, 전원 전압과 연결되며 제1 입력 신호에 게이팅되는 제1 피모스 트랜지스터; 전원 전압과 연결되며 제2 입력 신호에 게이팅되는 제2 피모스 트랜지스터; 제1 및 제2 피모스 트랜지스터들과 각각 연결되며 그 게이트와 그 드레인이 연결된 다이오드형으로 연결되는 제1 및 제2 엔모스 트랜지스터들; 제1 피모스 트랜지스터와 제1 엔모스 트랜지스터의 연결점에 게이팅되는 제3 피모스 트랜지스터; 제2 피모스 트랜지스터와 제2 엔모스 트랜지스터의 연결점에 게이팅되는 제4 피모스 트랜지스터; 제3 및 제4 피모스 트랜지스터들과 연결되며 전류 미러형으로 연결된 제3 및 제4 엔모스 트랜지스터들; 및 제4 피모스 트랜지스터와 제4 엔모스 트랜지스터의 연결점을 입력하며 직렬 연결된 인버터들을 포함한다.

<24> 스위치는 주파수 선택 신호를 디코딩하는 디코더의 출력 신호에 응답하여 링 오실레이터 블록의 발진 신호, 반가산기의 배타적 논리합한 출력 신호, 그리고 논리곱한 출력 신호 중에서 어느 하나를 선택한다.

<25> 상기 다른 목적을 달성하기 위하여, 본 발명의 주파수 합성 방법은 입력 신호쌍을 수신하고 제어 신호에 응답하여 발진 신호쌍들을 발생시키는 단계; 발진 신호쌍들을 입력하여 50% 듀티 사이클을 만족하는 출력 신호들을 발생시키는 단계; 출력 신호들을 입력하고, 출력 신호들을 배타적 논리합한 출력 신호와 논리곱한 출력

신호들을 발생하는 단계; 및 발진 신호, 반가산기의 배타적 논리합한 출력 신호, 그리고 논리곱한 출력 신호 중에서 어느 하나를 선택하는 단계를 포함하며, 발진 신호들은 제어 신호의 전압 레벨이 높을수록 고주파수를 갖는다.

<26> 따라서, 본 발명에 의하면, 고주파의 링 오실레이터 블록의 발진 주파수 출력 신호와 링 오실레이터 블록의 발진 주파수 보다 2배 높은 주파수의 출력 신호와 입력 신호와 동일한 주파수의 출력 신호를 얻어 이를 선택적으로 선택할 수 있다.

<27> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 예시적인 실시예를 설명하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<29> 도 2는 본 발명의 일실시예에 따른 주파수 합성 회로를 설명하는 도면이다. 이를 참조하면, 주파수 합성 회로(200)는 2개 대역의 주파수를 갖는 출력 신호를 발진시키므로, 본 실시예에서는 "듀얼 밴드 VCO 회로"라고 칭한다. 듀얼 밴드 VCO 회로(200)는 4단 링 오실레이터(210), 제1 내지 제4 듀티 버퍼들(220, 230, 240, 250), 제1 및 제2 반가산기들(260, 270), 2-4 디코더(280), 그리고 스위치(290)를 포함한다.

<30> 4단 링 오실레이터(210)는 제1 및 제2 입력 신호들(VIN+, VIN-)을 입력하여 출력 신호들(C_OUT, /C_OUT)을 발생한다. 제1 입력 신호(VIN+)는 제2 입력 신호(VIN-)와 반대 위상을 갖는 신호이다. 4단 링 오실레이터(210)는 4개의 링 오실레이터들(212, 214, 216, 218)로 구성된다.

<31> 도 3은 링 오실레이터들(212, 214, 216, 218)을 대표하여 제1 링 오실레이터(212)를 설명하는 도면이다. 이를 참조하면, 링 오실레이터(212)는 전원 전압(VDD)에 연결되고 제1 바이어스 신호(PBIAS)에 게이팅되는 피모스 트랜지스터들(M1, M2), 제1 입력 신호(VIN+)에 게이팅되는 피모스 트랜지스터(MP1)와 엔모스 트랜지스터(MN1), 제2 입력 신호(VIN-)에 게이팅되는 피모스 트랜지스터(MP4)와 엔모스 트랜지스터(MN4), 엔모스 트랜지스터들(MN1, MN4)과 접지 전압(VSS) 사이에 제어 신호(VCON)에 게이팅되는 엔모스 트랜지스터(M4), 피모스 트랜지스터(MP1) 양단에 다이오드형으로 연결되는 피모스 트랜지스터(MP2), 피모스 트랜지스터(MP4) 양단에 다이오드형으로 연결되는 피모스 트랜지스터(MP3), 피모스 트랜지스터들(MP2, MP3)과 연결되며 교차 게이팅되는 엔모스 트랜지스터들(MN2, MN3), 그리고 엔모스 트랜지스터들(MN2, MN3)과 접지 전압(VSS) 사이에 제2 바이어스 신호(NBIAS)에 게이팅되는 엔모스 트랜지스터(M3)를 포함한다. 피모스 트랜지스터들(MP3, MP4)과 엔모스 트랜지스터들(MN1, MN2)의 연결점은 제1 출력 신호(VOUT+)가 되고, 피모스 트랜지스터들(MP1, MP2)과 엔모스 트랜지스터들(MN2, MN4)의 연결점은 제2 출력 신호(VOUT-)가 된다.

<32> 제1 및 제2 바이어스 신호(PBIAS, NBIAS)와 제어 신호(VCON)는 링 오실레이터(212)를 인에이블시킨다. 도 4에 도시되어 있는 바와 같이, 링 오실레이터(212)의 동작은 제1 입력 신호(VOUT+)가 로직 로우레벨이고 제2 입력 신호(VIN-)가 로직 하이레벨이면, 제2 출력 신호(VOUT-)는 로직 하이레벨로, 제1 출력 신호(VOUT+)는 로직 로우레벨로 발생되고, 제1 입력 신호(VOUT+)가 로직 하이레벨이고 제2 입력 신호(VIN-)가 로직 로우레벨이면, 제2 출력 신호(VOUT-)는 로직 로우레벨로, 제1 출력 신호(VOUT+)는 로직 하이레벨로 발생된다.

- <33> 제어 신호(VCON)의 전압 레벨은 엔모스 트랜지스터(M4)를 흐르는 전류량을 조절하는 데, 제어 신호(VCON)의 전압 레벨이 높을 수록 엔모스 트랜지스터(M4)의 전류량이 커진다. 이에 따라 제2 출력 신호(VOUT-)와 제1 출력 신호(VOUT+)의 전이 기울기는 도 5처럼 점점 가팔라진다.
- <34> 다시, 도 1로 돌아가서, 앞서 설명한 링 오실레이터(212)의 동작을 기반으로 4단 링 오실레이터(210)는 로직 로우레벨의 제1 입력 신호(VIN+)에 응답하여 제1 링 오실레이터(212)의 제2 출력 신호(VOUT-)가 로직 하이레벨로, 제2 링 오실레이터(214)의 제2 출력 신호(VOUT-)가 로직 로우레벨로, 제3 링 오실레이터(216)의 제2 출력 신호(VOUT-)가 로직 하이레벨로, 제4 링 오실레이터(218)의 제2 출력 신호(VOUT-)가 로직 로우레벨로, 그리고 제4 링 오실레이터(218)의 제1 출력 신호(VOUT+)는 로직 하이레벨로 발생된다. 로직 하이레벨의 제4 링 오실레이터(218)의 제1 출력 신호(VOUT+)는 제1 링 오실레이터(212)의 제1 입력 신호(VIN+)로 피이드백되어 연결되고, 로직 로우레벨의 제4 링 오실레이터(218)의 제2 출력 신호(VOUT-)는 제1 링 오실레이터(212)의 제2 입력 신호(VIN-)로 피이드백되어 연결된다.
- <35> 이러한 동작의 연속으로, 링 오실레이터(212)의 출력 신호들(COUT, /COUT)이 발진한다. 그리고, 도 5에서 설명한 바와 같이, 제어 신호(VCON)의 전압 레벨이 클수록 출력 신호들(COUT, /COUT)의 발진 속도가 더 빨라져서 출력 신호들(COUT, /COUT)의 주파수 특성이 고주파가 된다.
- <36> 도 2에서, 듀티 버퍼들(220, 230, 240, 250)은 반가산기들(260, 270)의 입력 신호들의 듀티 사이클을 50%로 맞추기 위하여 사용된다. 대표적으로, 듀티 버퍼(220)가 도 6에 도시되어 있다.

<37> 도 6을 참조하면, 듀티 버퍼(220)는 전원 전압(VDD)과 연결되며 제1 입력 신호(IN+)에 게이팅되는 피모스 트랜지스터(601), 제2 입력 신호(IN-)에 게이팅되는 피모스 트랜지스터(607), 피모스 트랜지스터들(601, 607)과 각각 연결되며 다이오드형으로 연결된 엔모스 트랜지스터들(603, 609), 피모스 트랜지스터(601)와 엔모스 트랜지스터(603)의 연결점에 게이팅되는 피모스 트랜지스터(605), 피모스 트랜지스터(607)와 엔모스 트랜지스터(609)의 연결점에 게이팅되는 피모스 트랜지스터(611), 피모스 트랜지스터들(605, 611)과 연결되며 전류 미러형으로 연결된 엔모스 트랜지스터들(613, 615), 피모스 트랜지스터(611)와 엔모스 트랜지스터(615)의 연결점을 입력하며 직렬 연결된 인버터들(620, 630)을 포함한다.

<38> 듀티 버퍼(220)의 동작은 다음과 같이 이루어진다. 먼저, 피모스 트랜지스터 601과 607, 605와 611, 그리고 엔모스 트랜지스터 613과 615는 서로 대칭이 되도록 설계된다. 피모스 트랜지스터(601, 607)의 드레인 전류는 수학적 식 1과 2로 나타낼 수 있다.

<39>
$$I_d(601) = \frac{1}{2} K(601) \left(\frac{W}{L} \right) (601) (V_{sg}(601) - |V_t(601)|)^2$$

 【수학적 식 1】

<40>
$$I_d(607) = \frac{1}{2} K(607) \left(\frac{W}{L} \right) (607) (V_{sg}(607) - |V_t(607)|)^2$$

 【수학적 식 2】

<41> 피모스 트랜지스터 601과 607은 대칭적으로 설계되므로, $I_d(601)$ 과 $I_d(607)$ 은 같고, $I_d(601) = I_d(603)$, 그리고 $I_d(607) = I_d(609)$ 가 된다. 이에 따라 수학적 식 3과 4로 나타낼 수 있다.

<42>
$$I_d(601) = \frac{1}{2} K(603) \left(\frac{W}{L} \right) (603) (V_{sg}(603) - |V_t(603)|)^2$$

 【수학적 식 3】

<43>

$$I_d(601) = \frac{1}{2} K(607) \left(\frac{W}{L} \right) (607) (V_{sg}(607) - |V_t(607)|)^2$$

【수학식 4】

<44>

엔모스 트랜지스터 603과 609의 소스와 드레인 사이의 전압 범위는 수학식 5와 6으로 나타낸다.

<45>

$$\Delta V_{ds}(603) = \Delta V_{gs}(603) = \sqrt{\frac{2 \Delta I_d(601)}{K(603) \left(\frac{W}{L} \right) (603)}} + |V_t(603)|$$

【수학식 5】

<46>

$$\Delta V_{ds}(609) = \Delta V_{gs}(609) = \sqrt{\frac{2 \Delta I_d(601)}{K(609) \left(\frac{W}{L} \right) (609)}} + |V_t(609)|$$

【수학식 6】

<47>

듀티 사이클이 정확히 50%인 클럭이 입력 신호(in+, in-)로 인가되면 $\Delta V_{ds}(603)$ 과 $\Delta V_{ds}(609)$ 는 같아진다. 이를 만족하기 위하여, 수학식 7과 같이 정리할 수 있다.

<48>

$$\sqrt{\frac{2 \Delta I_d(601)}{K(603) \left(\frac{W}{L} \right) (603)}} + |V_t(603)| = \sqrt{\frac{2 \Delta I_d(601)}{K(609) \left(\frac{W}{L} \right) (609)}} + |V_t(609)|$$

【수학식 7】

<49>

$|V_t(601)| = |V_t(609)|$ 라고 가정하면, 수학식 7은 수학식 8과 같이 된다.

<50>

$$\left(\frac{W}{L} \right) (603) = \frac{K(609)}{K(603)} \left(\frac{W}{L} \right) (609)$$

【수학식 8】

<51>

즉, 엔모스 트랜지스터 603과 609의 W/L 비를 조절하여 정확한 50% 듀티 사이클을 갖는 출력 신호(OUT)를 얻을 수 있다.

<52>

도 7은 도 2의 반가산기들(260, 270)을 설명하는 도면이다. 도 7을 참조하면, 반가산기(260)는 듀티 버퍼들(220, 240, 도 2)의 출력 신호들(X, Y)을 입력 신호들(S1, S2)로 수신하여 출력 신호들(EX_OUT, AND_OUT)을 발생한다. 반가산기(260)의 동작은 도 8에서 설명된다. 도 8에서, 입력 신호들(S1, S2)을 배타적 논리합(Exclusive-OR)한 결과가

제1 출력 신호(EX_OUT)로 발생되고, 입력 신호들(S1, S2)을 논리곱(AND)한 결과가 제2 출력 신호(AND_OUT)로 발생된다.

<53> 다시, 도 2로 돌아가서, 앞서 도 7에서 설명한 반가산기(260)의 제1 및 제2 출력 신호들(EX_OUT, AND_OUT)과 4단 링 오실레이터(210)의 출력 신호(C_OUT)는 2-4 디코더(280)에 응답하는 스위치(290)를 통해 어느 하나가 선택되어 듀얼 밴드 VCO 회로(200)의 주파수 출력 신호(OUT)로 출력된다. 2-4 디코더(280)는 주파수 선택 신호(SEL<1:0>)를 입력하여 그 출력 신호로 제1 및 제2 출력 신호들(EX_OUT, AND_OUT)과 4단 링 오실레이터(210)의 출력 신호(C_OUT)를 선택한다.

<54> 도 9와 도 10은 본 발명의 듀얼 밴드 VCO 회로(200, 도 2)를 시뮬레이션한 결과를 보여주는 도면이다. 도 9는 전원 전압(VDD)이 3.3V 이고 제어 신호(VCON) 전압 레벨이 3.0V 인 조건에서 시뮬레이션한 4단 링 오실레이터(210) 출력 신호(C_OUT)와 반가산기(260)의 제1 및 제2 출력 신호들(EX_OUT, AND_OUT)의 파형을 보여준다. C_OUT 출력은 1.07GHz 주파수를, EX_OUT 출력은 2.1GHz 주파수를 그리고 AND_OUT 출력은 1.05GHz 주파수를 갖는다. C_OUT 출력과 AND_OUT 출력은 거의 동일한 주파수 대역을 갖지만, C_OUT 출력에 비하여 AND_OUT 출력이 훨씬 깨끗한 파형을 갖는다.

<55> 도 10은 제어 신호(VCON)의 전압 레벨에 따른 EX_OUT 출력 주파수를 나타내는 도면이다. 이를 참조하면, EX_OUT 출력 주파수는 제어 신호(VCON)의 전압 레벨이 0.8V 에서 2.7V 정도 까지는 거의 선형적으로 높아지다가 2.8V 이상에서는 거의 포화되는 양상을 보인다.

<56> 도 11은 본 발명의 듀얼 밴드 VCO 회로(200, 도 2)를 집적화한 반도체 칩에서 측정 한 4단 링 오실레이터(210) 출력 신호(C_OUT)와 반가산기(260)의 제1 및

제2 출력 신호들(EX_OUT, AND_OUT)의 주파수 특성을 보여준다. 도 11을 살펴보면, 도 9의 시뮬레이션 결과와 거의 동일하게 C_OUT 출력은 1.072GHz 주파수를, EX_OUT 출력은 2.057GHz 주파수를 그리고 AND_OUT 출력은 1.051GHz 주파수를 갖는다.

<57> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<58> 상술한 본 발명에 의하면, 고주파의 링 오실레이터 블록의 발진 주파수 출력 신호와 링 오실레이터 블록의 발진 주파수 보다 2배 높은 주파수의 출력 신호와 입력 신호와 동일한 주파수의 출력 신호를 얻어 이를 선택적으로 선택할 수 있다.

【특허청구범위】**【청구항 1】**

입력 신호쌍을 수신하여 발진 신호쌍들을 발생시키는 링 오실레이터 블록;

상기 링 오실레이터 블록의 발진 신호쌍들을 입력하여 일정 듀티 사이클을 만족하는 출력 신호들을 발생하는 듀티 버퍼들;

상기 듀티 버퍼들의 출력 신호들을 입력하고, 상기 듀티 버퍼들의 출력 신호들을 배타적 논리합한 출력 신호와 논리곱한 출력 신호들을 발생하는 반가산기들; 및

상기 링 오실레이터 블록의 상기 발진 신호, 상기 반가산기의 배타적 논리합한 출력 신호, 그리고 상기 논리곱한 출력 신호 중에서 어느 하나를 선택하는 스위치를 구비하는 것을 특징으로 하는 주파수 합성 회로.

【청구항 2】

제1항에 있어서, 상기 링 오실레이터 블록은

짝수개의 링 오실레이터들로 구성되고, 상기 입력 신호쌍을 수신하여 상기 발진 신호쌍을 출력하고, 상기 발진 신호가 상기 입력 신호로 피이드백되고 상보된 상기 발진 신호가 상보된 상기 입력 신호로 피이드백되는 것을 특징으로 하는 주파수 합성 회로.

【청구항 3】

제2항에 있어서, 상기 링 오실레이터는

전원 전압에 연결되고 제1 바이어스 신호에 게이팅되는 제1 및 제2 피모스 트랜지스터들;

상기 제1 피모스 트랜지스터와 연결되고 상기 입력 신호에 게이팅되는 제3 피모스 트랜지스터;

상기 제3 피모스 트랜지스터와 연결되고 상기 입력 신호에 게이팅되는 제1 엔모스 트랜지스터;

상기 제2 피모스 트랜지스터와 연결되고 상보된 상기 입력 신호에 게이팅되는 제4 피모스 트랜지스터;

상기 제4 피모스 트랜지스터와 연결되고 상기 상보된 입력 신호에 게이팅되는 제2 엔모스 트랜지스터;

상기 제1 및 제2 엔모스 트랜지스터들과 접지 전압 사이에 제어 신호에 게이팅되는 제3 엔모스 트랜지스터;

제 3 피모스 트랜지스터 양단에 그 게이트와 그 드레인이 연결된 다이오드형으로 연결되는 제5 피모스 트랜지스터;

제4 피모스 트랜지스터 양단에 그 게이트와 그 드레인이 연결된 다이오드형으로 연결되는 제6 피모스 트랜지스터;

상기 제5 피모스 트랜지스터들과 연결되고 상기 제6 피모스 트랜지스터의 드레인에 게이팅되는 제4 엔모스 트랜지스터들;

상기 제6 피모스 트랜지스터와 연결되고 상기 제5 피모스 트랜지스터의 드레인에 게이팅되는 제5 엔모스 트랜지스터; 및

상기 제4 및 제5 엔모스 트랜지스터들과 접지 전압사이에 제2 바이어스 신호에 게이팅되는 제6 엔모스 트랜지스터를 구비하고,

상기 제4 및 제6 피모스 트랜지스터들과 상기 제2 및 제5 엔모스 트랜지스터들의 연결점이 발진 신호 출력이 되고, 상기 제3 및 제5 피모스 트랜지스터들과 상기 제1 및 제4 엔모스 트랜지스터들의 연결점은 상보된 발진 신호 출력이 되는 것을 특징으로 하는 주파수 합성 회로.

【청구항 4】

제1항에 있어서, 상기 듀티 버퍼는

상기 출력 신호들이 듀티 사이클 50%를 만족하는 것을 특징으로 하는 주파수 합성 회로.

【청구항 5】

제1항에 있어서, 상기 듀티 버퍼는

전원 전압과 연결되며 제1 입력 신호에 게이팅되는 제1 피모스 트랜지스터;

상기 전원 전압과 연결되며 제2 입력 신호에 게이팅되는 제2 피모스 트랜지스터;

상기 제1 및 제2 피모스 트랜지스터들과 각각 연결되며 그 게이트와 그 드레인이 연결된 다이오드형으로 연결되는 제1 및 제2 엔모스 트랜지스터들;

상기 제1 피모스 트랜지스터와 상기 제1 엔모스 트랜지스터의 연결점에 게이팅되는 제3 피모스 트랜지스터;

상기 제2 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터의 연결점에 게이팅되는 제4 피모스 트랜지스터;

상기 제3 및 제4 피모스 트랜지스터들과 연결되며 전류 미러형으로 연결된 제3 및 제4 엔모스 트랜지스터들; 및

상기 제4 피모스 트랜지스터와 제4 엔모스 트랜지스터의 연결점을 입력하며 직렬 연결된 인버터들을 구비하는 것을 특징으로 하는 주파수 합성 회로.

【청구항 6】

제1항에 있어서, 상기 스위치는

주파수 선택 신호를 디코딩하는 디코더의 출력 신호에 응답하여 상기 링 오실레이터 블록의 상기 발진 신호, 상기 반가산기의 배타적 논리합한 출력 신호, 그리고 상기 논리곱한 출력 신호 중에서 어느 하나를 선택하는 것을 특징으로 하는 주파수 합성 회로

【청구항 7】

입력 신호쌍을 수신하고 제어 신호에 응답하여 일정 시간 지연된 제1 발진 신호쌍, 제2 발진 신호쌍 및 제3 발진 신호쌍을 발생하는 링 오실레이터 블록;

상기 링 오실레이터의 상기 제1 및 제2 발진 신호쌍들을 각각 입력하여 50% 듀티 사이클을 만족하는 제1 및 제2 출력 신호들을 발생하는 듀티 버퍼들;

상기 듀티 버퍼들의 제1 및 제2 출력 신호를 입력하여, 상기 제1 및 제2 출력 신호들을 배타적 논리합한 출력 신호와 논리곱한 출력 신호들을 발생하는 반가산기들; 및

상기 링 오실레이터의 제3 발진 신호, 상기 반가산기의 배타적 논리합한 출력 신호, 그리고 상기 논리곱한 출력 신호 중에서 어느 하나를 선택하는 스위치를 구비하는 것을 특징으로 하는 주파수 합성 회로.

【청구항 8】

제7항에 있어서, 상기 링 오실레이터 블록은

상기 제어 신호의 전압 레벨이 높을수록 상기 제1, 제2 및 제3 발진 신호의 주파수가 높아지는 것을 특징으로 하는 주파수 합성 회로.

【청구항 9】

제7항에 있어서, 상기 링 오실레이터 블록은

상기 입력 신호쌍을 입력하여 제1 발진 신호쌍을 발생하는 제1 링 오실레이터;

상기 제1 발진 신호쌍을 입력하는 제2 링 오실레이터;

상기 제2 링 오실레이터의 출력 신호를 입력하여 상기 제2 발진 신호쌍을 발생하는 제3 링 오실레이터; 및

상기 제2 발진 신호쌍을 입력하여 상기 제3 발진 신호쌍을 발생하고, 상기 제3 발진 신호쌍이 상기 제1 링 오실레이터의 입력 신호로 피드백되는 제4 링 오실레이터를 구비하는 것을 특징으로 하는 주파수 합성 회로.

【청구항 10】

제7항에 있어서, 상기 링 오실레이터는

전원 전압에 연결되고 제1 바이어스 신호에 게이팅되는 제1 및 제2 피모스 트랜지스터들;

상기 제1 피모스 트랜지스터와 연결되고 상기 입력 신호에 게이팅되는 제3 피모스 트랜지스터;

상기 제3 피모스 트랜지스터와 연결되고 상기 입력 신호에 게이팅되는 제1 엔모스 트랜지스터;

상기 제2 피모스 트랜지스터와 연결되고 상보된 상기 입력 신호에 게이팅되는 제4 피모스 트랜지스터;

상기 제4 피모스 트랜지스터와 연결되고 상기 상보된 입력 신호에 게이팅되는 제2 엔모스 트랜지스터;

상기 제1 및 제2 엔모스 트랜지스터들과 접지 전압 사이에 상기 제어 신호에 게이팅되는 제3 엔모스 트랜지스터;

제 3 피모스 트랜지스터 양단에 그 게이트와 그 드레인이 연결된 다이오드형으로 연결되는 제5 피모스 트랜지스터;

제4 피모스 트랜지스터 양단에 그 게이트와 그 드레인이 연결된 다이오드형으로 연결되는 제6 피모스 트랜지스터;

상기 제5 피모스 트랜지스터들과 연결되고 상기 제6 피모스 트랜지스터의 드레인에 게이팅되는 제4 엔모스 트랜지스터들;

상기 제6 피모스 트랜지스터와 연결되고 상기 제5 피모스 트랜지스터의 드레인에 게이팅되는 제5 엔모스 트랜지스터; 및

상기 제4 및 제5 엔모스 트랜지스터들과 접지 전압사이에 제2 바이어스 신호에 게이팅되는 제6 엔모스 트랜지스터를 구비하고,

상기 제4 및 제6 피모스 트랜지스터들과 상기 제2 및 제5 엔모스 트랜지스터들의 연결점이 발진 신호 출력이 되고, 상기 제3 및 제5 피모스 트랜지스터들과 상기 제1 및 제4 엔모스 트랜지스터들의 연결점은 상보된 발진 신호 출력이 되는 것을 특징으로 하는 주파수 합성 회로.

【청구항 11】

제7항에 있어서, 상기 듀티 버퍼는

전원 전압과 연결되며 제1 입력 신호에 게이팅되는 제1 피모스 트랜지스터;

상기 전원 전압과 연결되며 제2 입력 신호에 게이팅되는 제2 피모스 트랜지스터;

상기 제1 및 제2 피모스 트랜지스터들과 각각 연결되며 다이오드형으로 연결된 제1 및 제2 엔모스 트랜지스터들;

상기 제1 피모스 트랜지스터와 상기 제1 엔모스 트랜지스터의 연결점에 게이팅되는 제3 피모스 트랜지스터;

상기 제2 피모스 트랜지스터와 상기 제2 엔모스 트랜지스터의 연결점에 게이팅되는 제4 피모스 트랜지스터;

상기 제3 및 제4 피모스 트랜지스터들과 연결되며 전류 미러형으로 연결된 제3 및 제4 엔모스 트랜지스터들; 및

상기 제4 피모스 트랜지스터와 제4 엔모스 트랜지스터의 연결점을 입력하며 직렬 연결된 인버터들을 구비하는 것을 특징으로 하는 주파수 합성 회로.

【청구항 12】

제7항에 있어서, 상기 스위치는

주파수 선택 신호를 디코딩하는 디코더의 출력 신호에 응답하여 상기 링 오실레이터 블록의 상기 발진 신호, 상기 반가산기의 배타적 논리합한 출력 신호, 그리고 상기 논리곱한 출력 신호 중에서 어느 하나를 선택하는 것을 특징으로 하는 주파수 합성 회로

【청구항 13】

입력 신호쌍을 수신하고 제어 신호에 응답하여 발진 신호쌍들을 발생시키는 단계;

상기 발진 신호쌍들을 입력하여 50% 듀티 사이클을 만족하는 출력 신호들을 발생
하는 단계;

상기 출력 신호들을 입력하고, 상기 출력 신호들을 배타적 논리합한 출력 신호와
논리곱한 출력 신호들을 발생하는 단계; 및

상기 발진 신호, 상기 반가산기의 배타적 논리합한 출력 신호, 그리고 상기 논리곱
한 출력 신호 중에서 어느 하나를 선택하는 단계를 구비하는 것을 특징으로 하는 주파수
합성 방법.

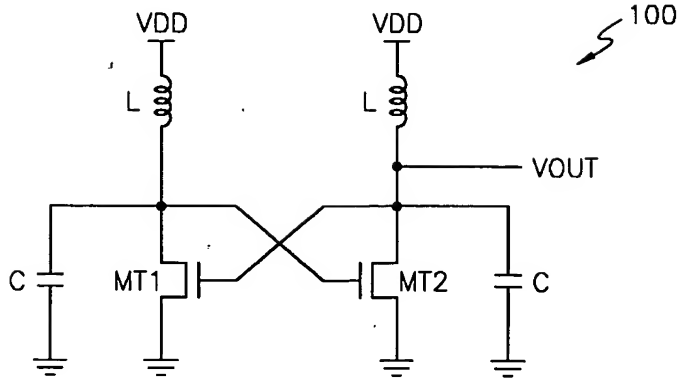
【청구항 14】

제13항에 있어서, 상기 발진 신호들은

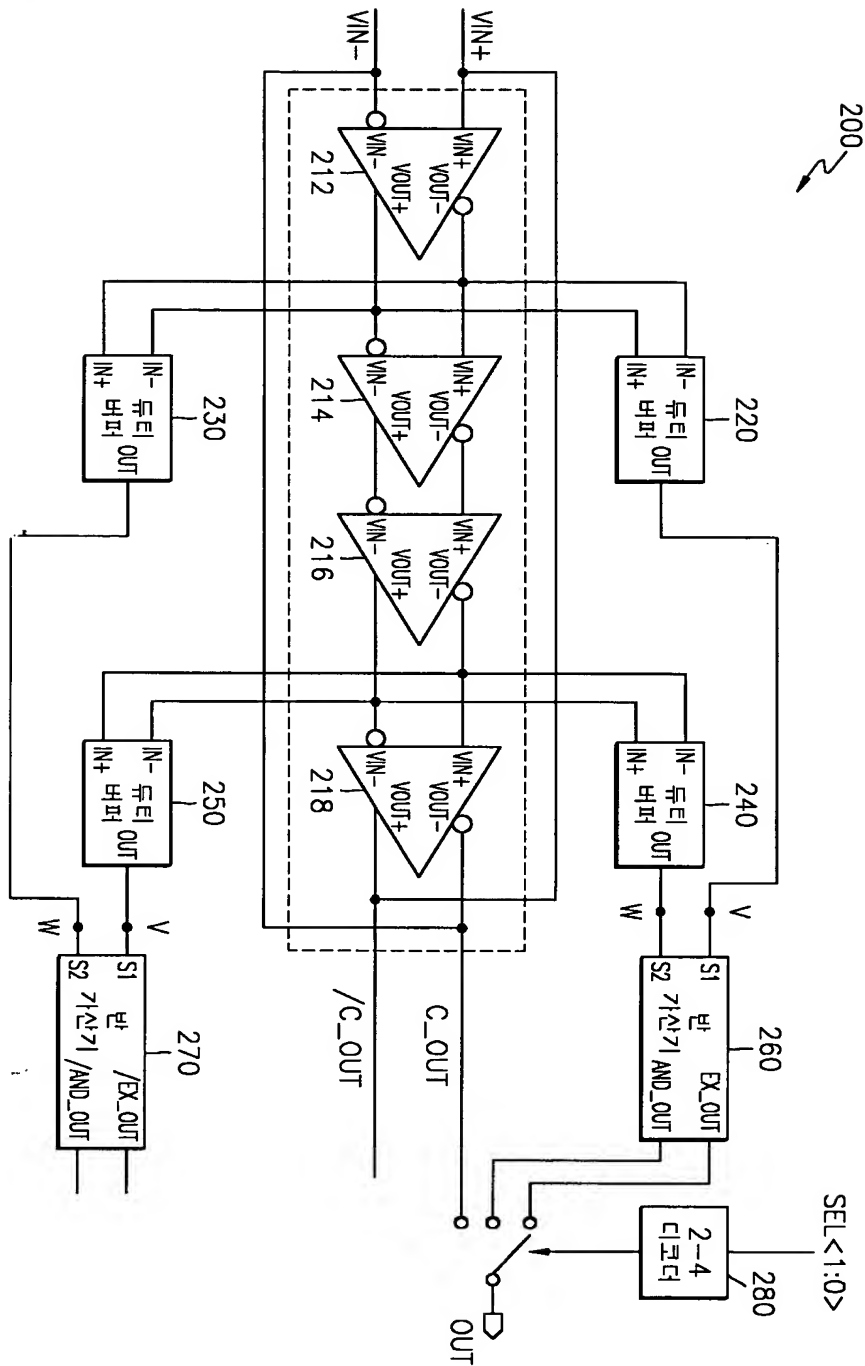
상기 제어 신호의 전압 레벨이 높을수록 고주파수를 갖는 것을 특징으로 하는 주파
수 합성 방법.

【도면】

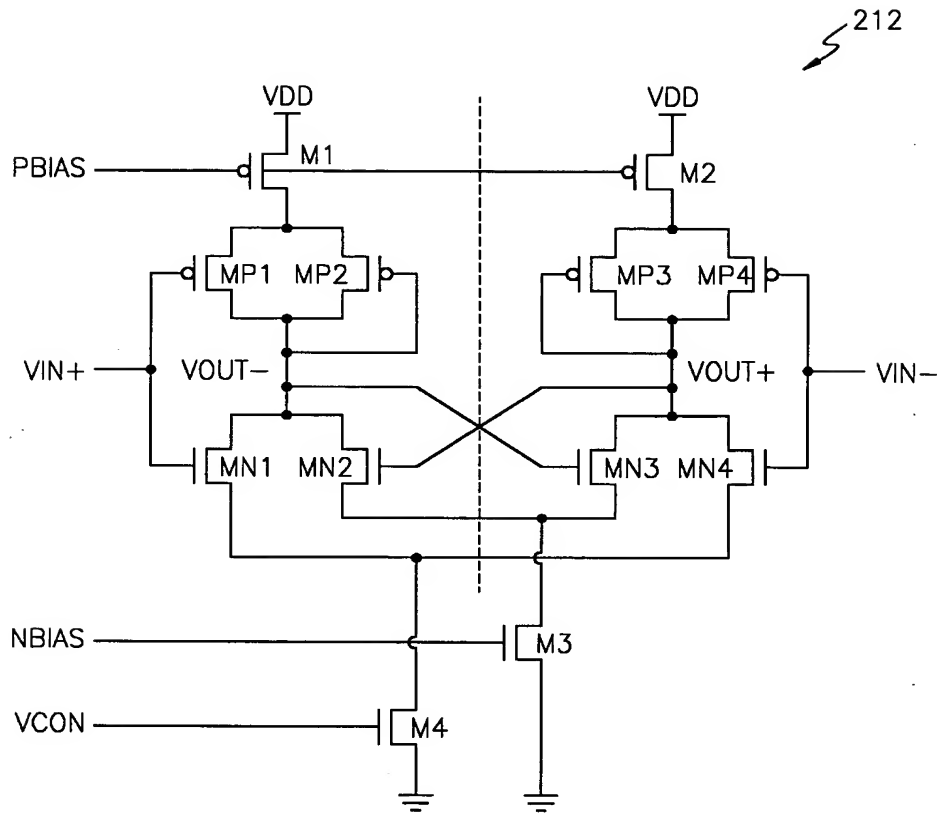
【도 1】



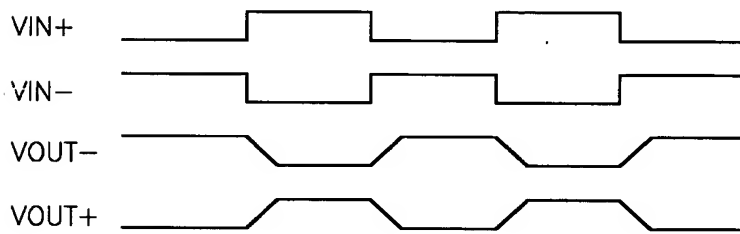
【도 2】



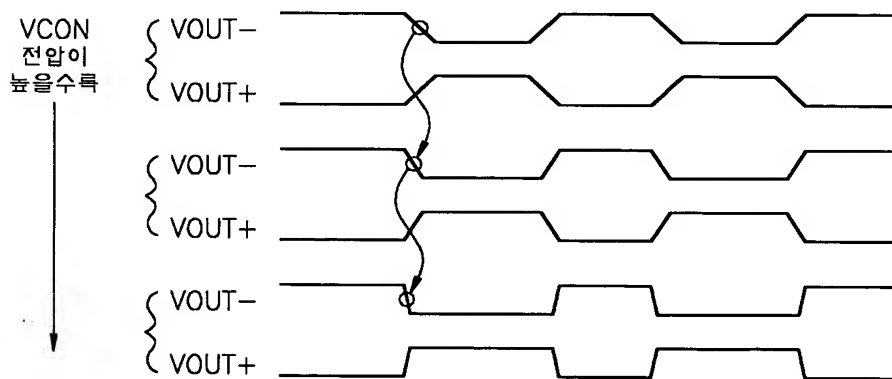
【도 3】



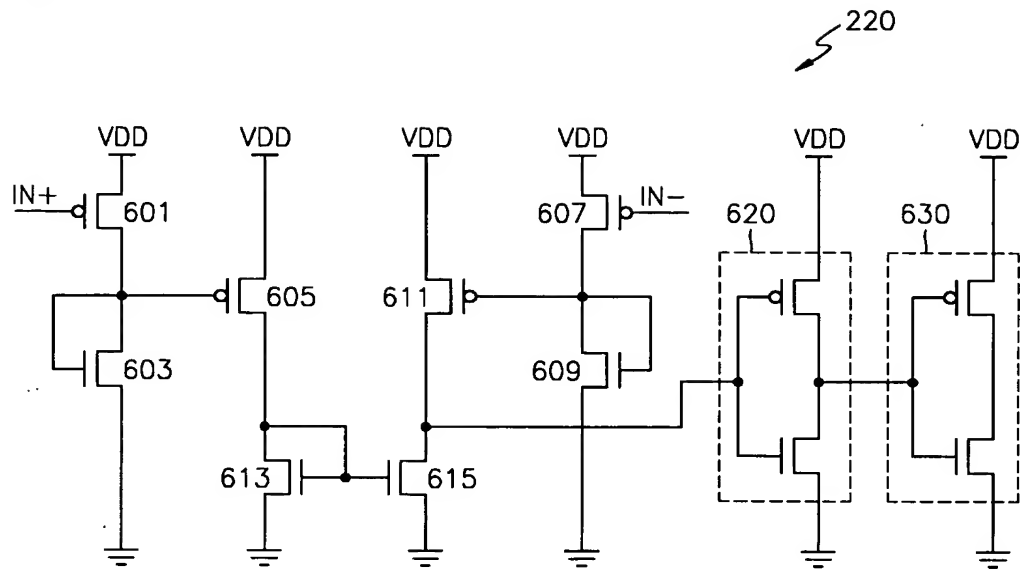
【도 4】



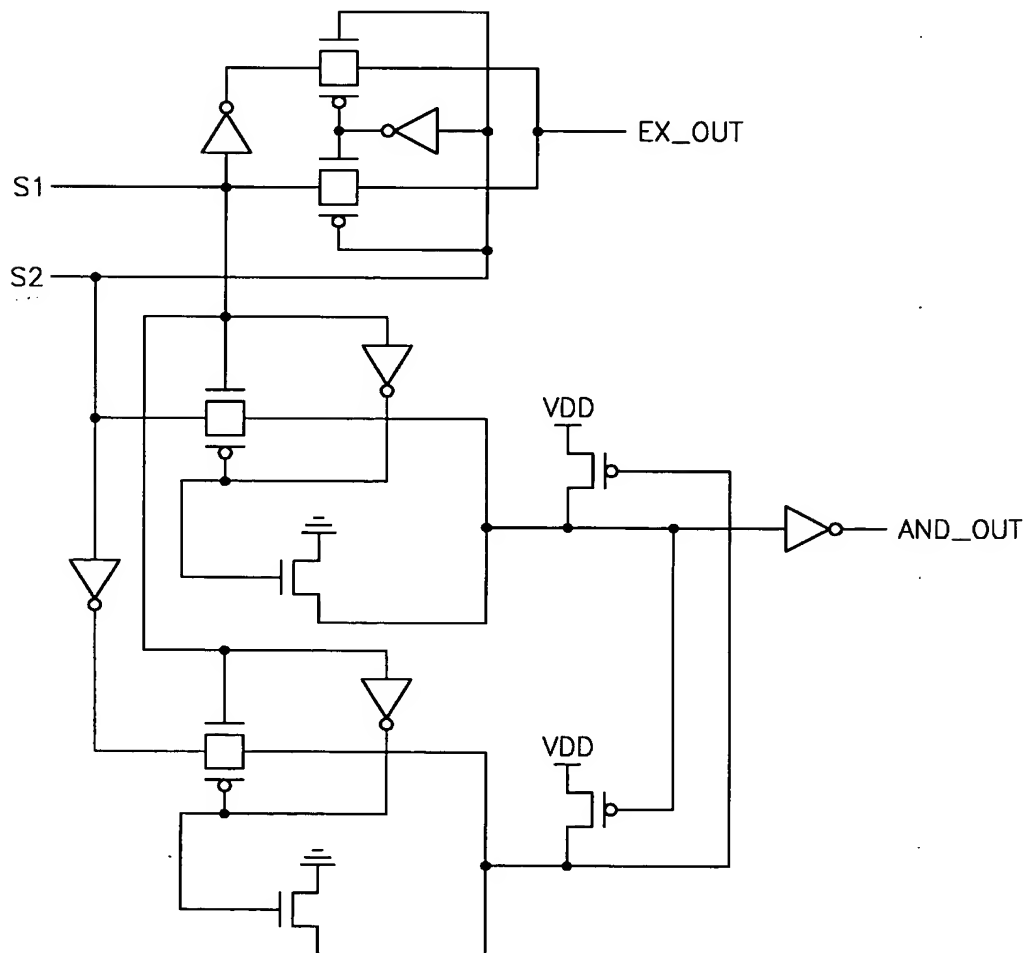
【도 5】



【도 6】

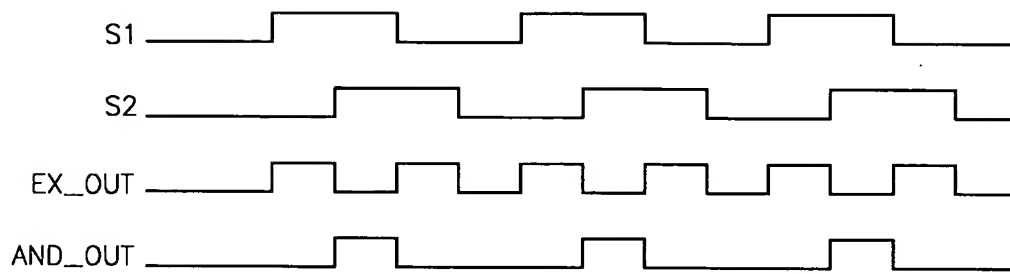


【도 7】

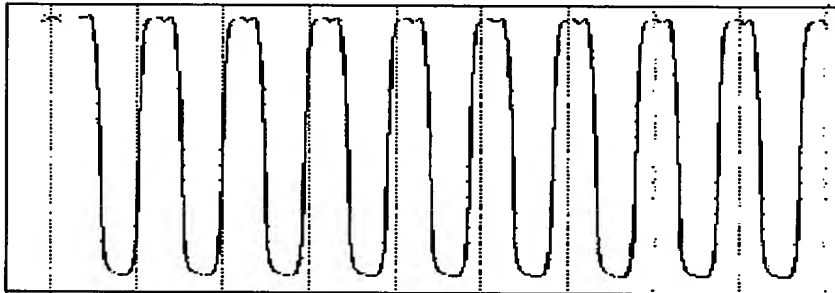




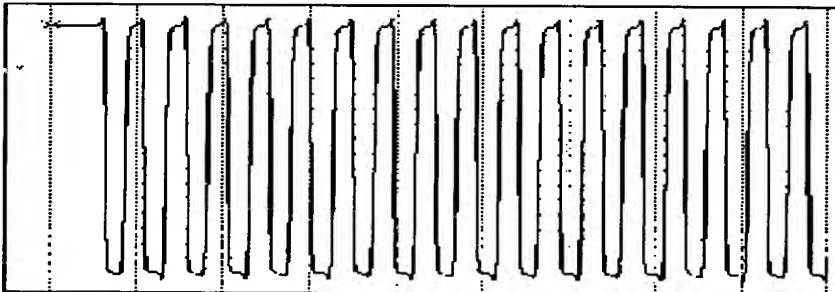
【도 8】



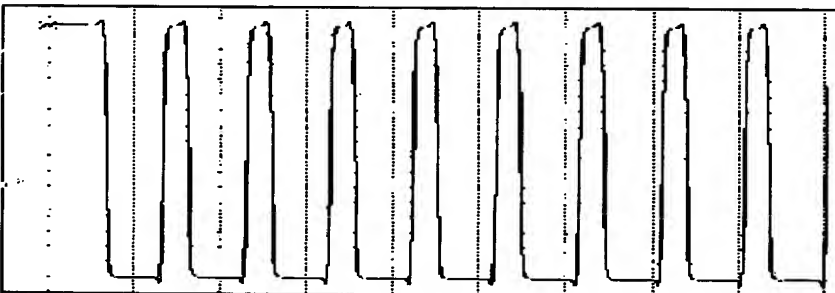
【도 9】



C_OUT

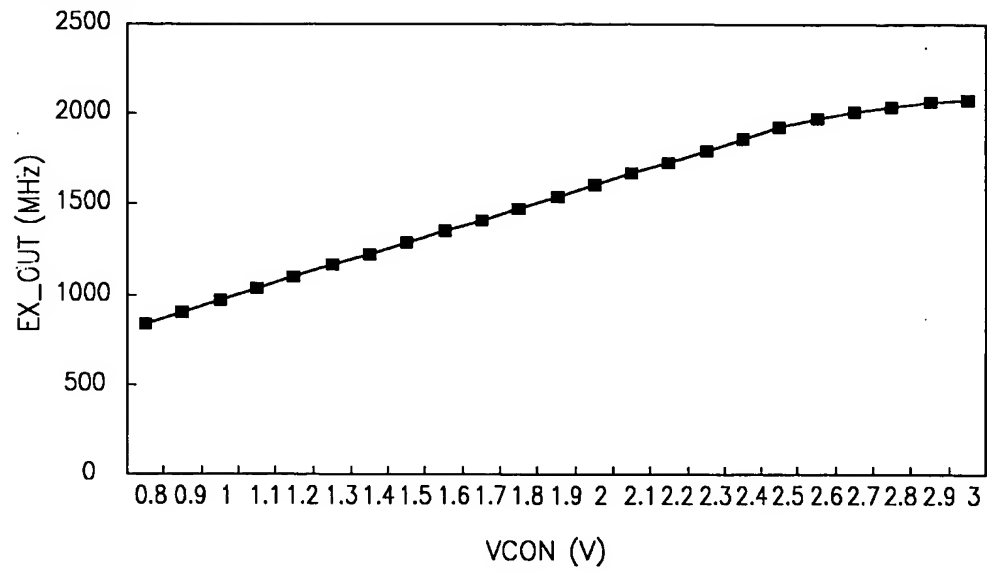


EX_OUT

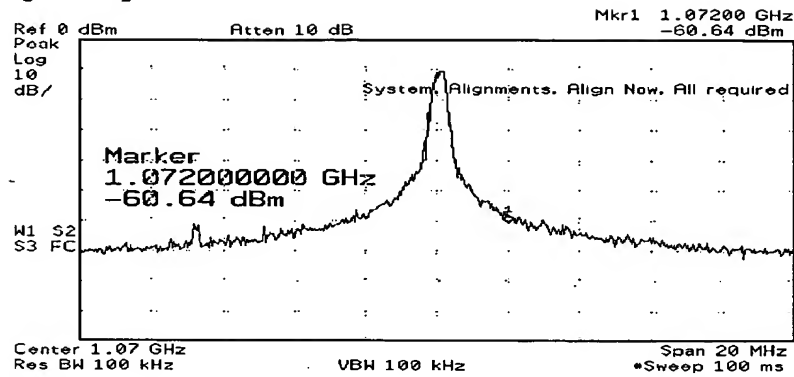


AND_OUT

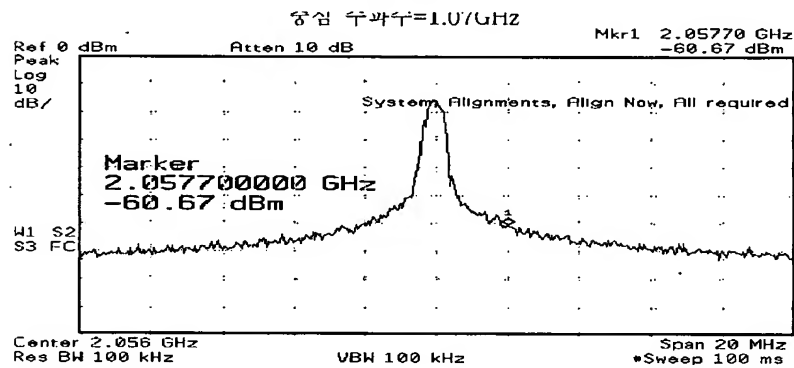
【도 10】



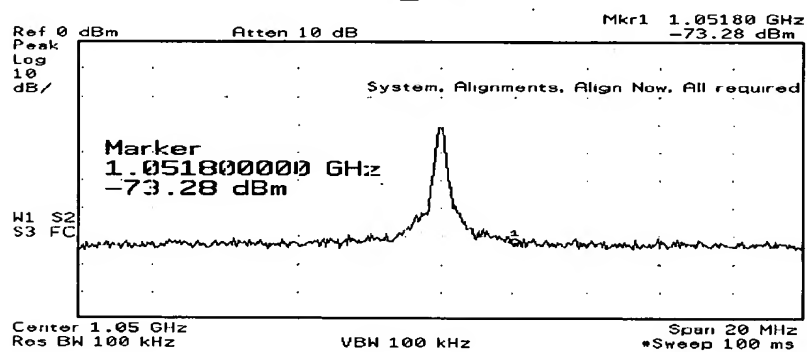
【도 11】



C_OUT



EX_OUT



AND_OUT